

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
  - TEXT CUT OFF AT TOP, BOTTOM OR SIDES
  - FADED TEXT
  - ILLEGIBLE TEXT
  - SKEWED/SLANTED IMAGES
  - COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
  - GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

3139367

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260380

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H01L 21/02

G06F 15/20

H01L 21/66

H01L 21/82

(21)Application number : 05-043726

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1993

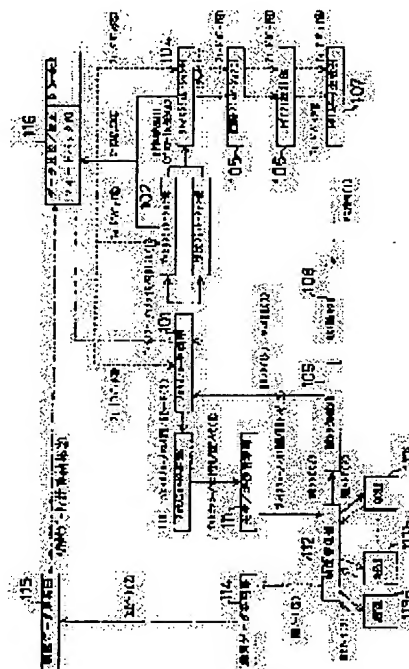
(72)Inventor : FUKUDA ETSUO

### (54) SEMICONDUCTOR PRODUCTION SYSTEM

(57)Abstract:

**PURPOSE:** To create the best process flow by creating process flow information which is considered to be more optimum based on the difference between simulation result and expectation value in a process flow creation part.

**CONSTITUTION:** The title system is provided with a process flow creation part 101, various kinds of simulation parts 102-205, and a layout simulation part 100. At the same time, it is provided with a reticle data creation part 107, a mask information acquisition part 108, a device recipe information acquisition part 109, a process flow storage part 110, a production/progress control part 111, a device control part 102, a device data storage part 114, a device data analysis part 115, and a data correction/comparison feedback part 116. Then, the simulation result of the simulation parts 102-105 is fed back to the process flow creation part properly, thus optimizing process flow information within the simulation range.



### LEGAL STATUS

[Date of request for examination] 07.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3139867

[Date of registration] 15.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260380

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02	Z			
G 0 6 F 15/20	D	8724-5L		
H 0 1 L 21/66	Z	7630-4M		
21/82		9169-4M	H 0 1 L 21/ 82	T
			審査請求 未請求 請求項の数 6	OL (全 11 頁)

(21)出願番号 特願平5-43726

(22)出願日 平成5年(1993)3月4日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 福田 悦生

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

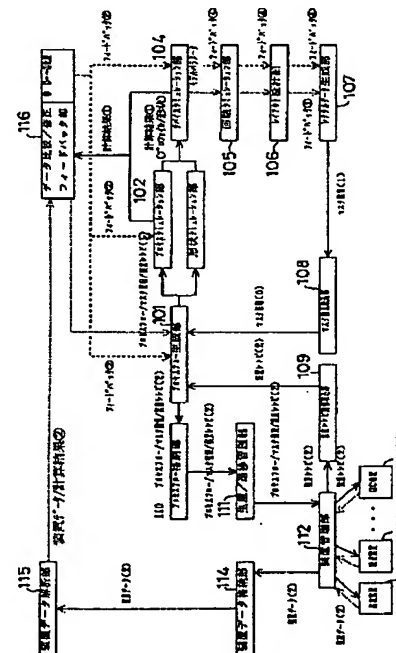
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 半導体生産システム

(57)【要約】

【目的】 プロセスフローの性質を各種シミュレーションの結果から予測し、最良のプロセスフローを作成することができる半導体生産システムを提供すること。

【構成】 この半導体生産システムは、プロセスフローを作成するシステムと、各種シミュレーションと、シミュレーションの結果をプロセスフローにフィードバックする手段と、製品を流す事と、処理結果情報を収集することを目的とする生産管理システムと、処理結果情報を解析するシステムと、処理結果情報と予測したシミュレーション結果から、不良解析や、シミュレーションにフィードバックする手段とから構成されている。



## 【特許請求の範囲】

【請求項1】 半導体装置の生産に用いる各処理条件からなるプロセスフロー情報を生成するプロセスフロー生成部と、このプロセスフロー生成部からプロセスフロー情報を受け前記半導体装置の生産のシミュレーションを行うシミュレーション部と、このシミュレーション部で行われたシミュレーションの結果を対応する期待値と比較し、その比較結果をプロセスフロー生成部へ転送するフィードバック部とを備え、前記プロセスフロー生成部では、シミュレーション結果と期待値とのずれに基づいて、より最適と思われるプロセスフロー情報を再度生成することを特徴とする半導体生産システム。

【請求項2】 前記シミュレーション結果に基づいて、より最適と思われる回路レイアウトを設計するレイアウト設計部とをさらに備えたことを特徴とする請求項1の半導体生産システム。

【請求項3】 前記レイアウト設計部で設計された回路レイアウトに基づいて、レチクルデータを生成するレチクルデータ生成部とをさらに備えたことを特徴とする請求項2の半導体生産システム。

【請求項4】 前記レチクルデータ生成部で生成されたレチクルデータをマスク情報として格納するマスク情報取り込み部とをさらに備えたことを特徴とする請求項3の半導体生産システム。

【請求項5】 前記シミュレーション部は、不純物の分布を計算するプロセスシミュレーション部と、前記半導体装置を構成する回路素子の各処理過程における表面形状を計算する形状シミュレーション部、前記半導体装置を構成する回路素子の特性を計算するデバイスシミュレーション部と、前記半導体装置の回路動作を計算する回路シミュレーション部とからなることを特徴とする請求項1の半導体生産システム。

【請求項6】 半導体装置の製造に必要なプロセスフロー情報を生成するプロセスフロー生成部と、前記プロセスフロー情報を受け前記半導体装置の生産のシミュレーションを行うシミュレーション部と、前記プロセスフロー情報に基づいて実際の半導体装置の製造を行う製造装置と、前記製造装置で製造された半導体装置の装置データを解析する装置データ解析部と、前記シミュレーション部で行われたシミュレーションの結果と前記装置データ解析部で解析された装置データと比較し、シミュレーションの計算方法を調整することを特徴とする半導体生産システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、複数の製造工程からなる生産システムにおいて、製品を製造する前に、完成品の様々な特性、例えば、電気特性、信頼性等のシミュレーションを行なう技術に関する。

## 【0002】

【従来の技術】 半導体製造においては、一連の処理の流れを表す情報（プロセスフロー情報）が存在し、この情報を基に半導体装置は生産されている。これらの情報は、技術者が自分の経験やノウハウを基に製品の完成度を彼等なりに予測して作成している。この場合、条件を一意に決定することは非常に難しいため、確定していない処理条件は、あらかじめ複数条件設定し、実際に製品を処理する時点で製品を分割して生産していた。このため、製品の分割／合流作業や、作業終了後のデータ解析等に要する時間が多大になり、製品の工期を長くしていた。

【0003】 また、処理条件の予測を行う場合に、プロセス／デバイスシミュレータや回路シミュレータ等のシミュレーションを利用しているが、これらシミュレーションの結果とプロセスフローへの処理条件のフィードバックは、技術者の判断により行われており、個人差や、適格なフィードバックを行うことができなかった。

【0004】 さらに、プロセスフローが決定し、製品が実際に生産され、完成した後の電気特性や信頼性のデータの解析は技術者が行っており、不良が生じた場合には、処理されたプロセスフローの情報を1つ1つ解析するか、技術者の経験から判断し、解析を行っていた。また、この実際の製品の結果はシミュレーション等へはフィードバックされることが困難であったため、シミュレーションの精度向上が難しかった。

## 【0005】

【発明が解決しようとする課題】 この様に、従来の半導体製造における処理の流れの情報（プロセスフロー）と各種シミュレーションと生産システムとは互いの情報を交換することが困難であった。

【0006】 このため、処理条件振りや製品の分割等が増加し、結果的に工期を長くしていた。また、各シミュレーションからの計算結果を効果的にプロセスフローに取り込むことが困難であり、さらに、完成した製品の結果とシミュレーションの結果との比較を行い、製品の不良解析や、シミュレーション自体の精度向上も困難であった。

【0007】 そこで本発明では、この様な従来の事情の鑑みてなされたものであり、その目的とするところは、プロセスフローの性質を各種シミュレーションの結果から予測し、最良のプロセスフローを作成することができる半導体生産システムを提供することである。

【0008】 さらに、この発明の他の目的は、最良のプロセスフローから得られた製品の結果と最初に予測したシミュレーションの結果から、製品の不良解析や、シミュレーション自体の精度向上を行うことができる半導体生産システムを提供することである。

## 【0009】

【課題を解決するための手段】 上記目的を構成するために、この発明に従う半導体生産システムは、プロセスフ

ローを作成するシステムと、各種シミュレーションと、シミュレーションの結果をプロセスフローにフィードバックする手段と、製品を流す事と、処理結果情報を収集することを目的とする生産管理システムと、処理結果情報を解析するシステムと、処理結果情報と予測したシミュレーション結果から、不良解析や、シミュレーションにフィードバックする手段とから構成されている。

#### 【0010】

【作用】上記構成において、この発明では、各種シミュレーションにより得られた予測結果をプロセスフロー生成部にフィードバックし、最良のプロセスフローが作成される。作成されたプロセスフローは、生産システムへ転送され、製品を処理される。処理結果は収集され、各種の解析がなされ、その解析結果とシミュレーションにより予測した結果と比較され、製品の不良解析と、シミュレーションの精度向上が行われる。

#### 【0011】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0012】図1は、「半導体生産システム」の機能ブロック図である。

【0013】図1に示す如く、この「半導体生産システム」は、プロセスフロー生成部101、プロセスシミュレーション部102、形状シミュレーション部103、デバイスシミュレーション部104、回路シミュレーション部105、レイアウトシミュレーション部106、レチクルデータ生成部107、マスク情報取込部108、装置レシピ情報取込部109、プロセスフロー格納部110、生産/進捗管理部111、装置管理部112、装置データ格納部114、装置データ解析部115、データ修正/比較・フィードバック部116から構成されている。

【0014】次に、上記のそれぞれの機能について、その機能内容を説明する。

【0015】プロセスフロー生成部101は、半導体装置を製造するために必要な情報（プロセスフロー情報）、例えば、処理条件、その処理の流れ、装置情報（装置レシピ、装置指定のための変数等）、処理指示情報等を作成する機能を有している。通常これらの情報は、複数の英数字を用いたコードにより表現されているが、漢字コードや他のコードにより構成されていても構わない。ただし、このデータを変換する等の方法を用いて、後述するシミュレーションや生産/進捗管理部で使用可能でなければならない。つまり、シミュレーション部や、後述する生産/進捗管理部へ、上記の製品を製造するために必要な情報（プロセスフロー情報）を受け渡し、そこで利用できる表現方法であるならば、その表記形式は問わない。図7にその1例を示す。ここでは、英数字により1つ1つのプロセス条件が記述されている。図7では、1行が1プロセスを表しており、左に付随し

ているシーケンス番号順に処理が行われることを示している。プロセスフロー生成部101には、シミュレーションに先立って、プロセスフロー情報の適当な初期条件が与えられる。

【0016】プロセスシミュレーション部102は、プロセスフロー生成部101で生成されたプロセスフロー情報と、後述するマスク情報取込部から得られるマスク情報を用いて、シリコン基板内の不純物のプロファイルや、閾値等を計算する手段である。代表的なものとしてはプロセスシミュレータ「SUPREM」がある。ただし、プロセス条件の模擬計算が行えるシミュレータならば、その計算方法・手法はどの様なものでも良い。

【0017】形状シミュレーション部103は、上記プロセスシミュレーション部102と同様に、プロセスフロー生成部101で生成されたプロセスフロー情報と、後述するマスク情報取込部から得られるマスク情報を用いて、製品の処理過程における各半導体素子要素の形状を模擬計算する部分である。例として、半導体生産においては、シリコン基板上の堆積膜の断面形状や表面凹凸の模擬計算を行なう。プロセスシミュレーション部102と同様、その計算方法・手法は問わず、その機能が果たせるシミュレータならいかなるものを用いても構わない。

【0018】デバイスシミュレーション部104は、プロセスシミュレーション部102と、形状シミュレーション部103の計算結果①（結果データ）を用いて、製品を構成する半導体素子の電気的特性等を模擬計算する部分である。例えば、MOSFETの電流-電圧特性や、閾値電圧等の模擬計算を行う。プロセスシミュレーション部102と同様、その計算方法・手法は問わず、その機能が果たせるシミュレータならいかなるものを用いても構わない。

【0019】回路シミュレーション部105は、デバイスシミュレーション部104の結果、例えば、デバイスモデルパラメータ等を用いて、製品（LSI）の回路動作を模擬計算する部分である。プロセスシミュレーション部102と同様、その計算方法・手法は問わず、その機能が果たせるシミュレータなら何でも良い。

【0020】レイアウトシミュレーション部106は、回路シミュレーション部105の結果を用いて、製品（LSI）の最適と思われる回路レイアウトを模擬計算する部分である。プロセスシミュレーション部102と同様、その計算方法・手法は問わず、その機能が果たせるシミュレータなら何でも良い。

【0021】レチクルデータ生成部107は、レイアウトシミュレーション部106の結果から、製品（LSI）の露光工程において使用するレチクルを作成するために必要な情報を模擬計算する部分である。プロセスシミュレーション部102と同様、その計算方法・手法は問わず、その機能が果たせるものなら何でも良い。

6

10

20

30

40

50

—480—

ン部106、レチクルデータ生成部107、マスク情報取込部108、装置レシピ情報取込部109、データ修正/比較・フィードバック部116はコンピュータ201、例えばEWS(Engineering Work Station)等に格納されている。ただし、コンピュータ201の性能より、複数のコンピュータに各機能を分散して格納しても良い。特に、デバイスシミュレーション部104や、回路シミュレーション部105や、レイアウトシミュレーション部106は、その計算量が膨大であるため、他の大型コンピュータ202等に別に格納することもできる。ただし、コンピュータ201とコンピュータ202は、LAN等の通信手段で接続されている。

【0033】プロセスフロー格納部110と、生産/進捗管理部111、装置データ格納部114、装置データ解析部115もコンピュータ201にその能力があれば、201に格納しても良いが、図の例では別のコンピュータ203に格納してある。ただし、プロセスフロー格納部110、装置データ格納部114は、ハードディスク等の磁気記憶媒体で構成される。

【0034】装置管理部112もコンピュータ203に格納しても良いが、この例では別のコンピュータ205に分散して格納されている。図2では、このコンピュータ203に複数の処理装置、検査装置等が通信手段を用いて接続され、図1を用いて説明した機能が実現される。

【0035】当然の事ながら、図2の様に複数のコンピュータにて本発明の機能を分散管理する場合には、各コンピュータはそれぞれ図2に示す通信手段206、207、208a、208b、・・・、208iを用いて接続され、適宜情報交換を行ないながら各処理がなされることになる。

【0036】次に、図1、3、4を用いて、実際に本発明の情報と機能の流れについて具体的に説明する。

【0037】【ステップ01】：プロセスフロー生成部101で生成された、プロセスフロー情報(0)に、マスク情報取込部108、装置レシピ情報取込部109から得られる装置レシピ情報(0)とマスク情報(0)が付加され、プロセスフロー/マスク情報/装置レシピ情報(1)が生成する。

【0038】【ステップ02】：プロセスフロー/マスク情報/装置レシピ(1)は、プロセスシミュレーション部102、形状シミュレーション部103へ転送され、それぞれの計算が行われる。

【0039】【ステップ03】：プロセスシミュレーション部102、形状シミュレーション部103の計算結果は、デバイスシミュレーション部104へ送られ、デバイス特性等の計算が行われる。この時同時に、データ修正/比較・フィードバック部116へも計算結果①は転送され、この時点でユーザが期待する結果が得られたか否かを判断することができ、もし、この時点での模擬

計算結果が期待する結果と異なる場合には、プロセスフロー情報をプロセスフロー生成部101で修正し、再度【ステップ01】からワークをやりなおす(フィードバック①)。

【0040】【ステップ04】：デバイスシミュレーション部104で得られた計算結果は、回路シミュレーション部105へ送られ、計算が行われる。同時に、回路シミュレーション部104の計算結果は、データ修正/比較・フィードバック部116へも計算結果は転送され、上記【ステップ03】と同様にプロセスフローに情報をフィードバックすることができる。

【0041】【ステップ05】：回路シミュレーション部105で得られた計算結果は、レイアウトシミュレーション部106へ送られ、計算が行われる。同時に、レイアウトシミュレーション部106の計算結果は、データ修正/比較・フィードバック部116へも計算結果は転送され、上記【ステップ03】と同様にプロセスフローに情報をフィードバックすることができる。

【0042】【ステップ06】：レイアウトシミュレーション部106で得られた計算結果は、レチクルデータ生成部107へ送られ、計算が行われる。同時に、データ修正/比較・フィードバック部116へも計算結果は転送され、上記【ステップ03】と同様にプロセスフローに情報をフィードバックすることができる。

【0043】【ステップ07】：レチクルデータ生成部107で生成されたレチクルデータは、マスク取込部へ転送され、前にあったマスク情報(0)と異なる場合には、新たに生成したマスク情報(1)へ書換えられる。

【0044】ステップ01からステップ07を繰り返す事で、最良のプロセスフロー情報を得る。

【0045】【ステップ21】：ステップ01からステップ07を通して、人間または、データ修正/比較・フィードバック部116で良いと判断されたプロセスフロー/マスク情報/装置レシピ情報(2)は、プロセスフロー格納部110へ転送される。

【0046】【ステップ22】：プロセスフロー格納部110に格納されたプロセスフロー情報は、その情報が付随する製品の処理の順番が来ると、生産/進捗管理部111から、処理に該当する装置管理部112へ送られる。

【0047】【ステップ23】：この場合、装置管理部112に送られたプロセスフロー/マスク情報/装置レシピ情報(2)は、直接または、装置で利用できるデータに変換され、各処理・検査装置へ転送され、半導体の製生に関わる実際の処理が行われる。これと同時に、元の装置レシピ情報(1)に変更が生じた場合には、装置管理部112は、新たな装置レシピ(2)を装置レシピ情報取込部109に転送し、元あった装置レシピ情報(1)を更新する。

【0048】【ステップ24】：処理が終了すると、そこで発生した装置データ(2)の全てが装置管理部112を介して、装置データ格納部114に格納される。

【0049】【ステップ25】：装置データ格納部114に格納された装置データ(2)は、装置データ解析部115で解析または適当な計算が行われ、製造された半導体装置に関する様々なデータが得られる。

【0050】【ステップ26】：装置データ解析部115で解析または、計算された計算結果②と装置データ(2)はデータ修正/比較・フィードバック部116へ送られ、ステップ02からステップ05の各シミュレーションで計算された結果と比較を行う。

【0051】【ステップ27】：ステップ26にて、相違が生じた場合には、その結果を各シミュレーション102から105の計算機能部にその結果をフィードバックする。すなわち、この比較情報を用いてシミュレーションの結果が実際の製造工程をより性格に模倣する様にシミュレーションの計算手順や条件を変更する。また、この比較情報は、プロセスフロー/マスク情報/装置レシピ(2)にフィードバック②し、新たなプロセスフロー/マスク情報/装置レシピをプロセスフロー生成部101で生成し、再度、ステップ21からの工程を繰り返す。

【0052】意か、所望の製品が得られる迄ステップ01から07、ステップ21から27を適宜繰返す。

【0053】

【発明の効果】以上説明してきたように、この発明による装置によれば、各種シミュレーションを多用することにより、製品を処理する前に最良のプロセスフロー情報を作成することができる。この事により、処理条件を分割して処理を行うことや、複数の製品を処理することで、処理条件の最適化を行ってきた作業が削減され、その結果、製品の工期を大幅に短縮することが可能となる。

【0054】また、実際の処理で得られた膜厚、膜の抵抗値等のプロセスデータや、トランジスタ閾値電圧、各種電気特性等のデバイスデータ等と、各種シミュレーションで予測された結果を比較することで、シミュレーシ

ョンの精度をより実デバイスに近付けることが可能となる。

【0055】さらに、この様なシステムを構築することで、シミュレーションと実際の製造との情報交換をスムーズにすることができ、新規製品や新たに条件を変更しなければならない製品の開発を短期間で効率的に行うことが可能となる。

【図面の簡単な説明】

【図1】この発明に従う生産管理システムの機能構成を表すブロック図である。

【図2】生産管理システムのハードウェア構成の1例である。

【図3】本発明に伴う各機能と情報の流れを示した図である。

【図4】本発明に伴う各機能と情報の流れを示した図である。

【図5】マスク情報の一例を示す。

【図6】マスク情報の取り込み及びレイア情報の生成を示す。

【図7】装置レシピ情報の一例を示す。

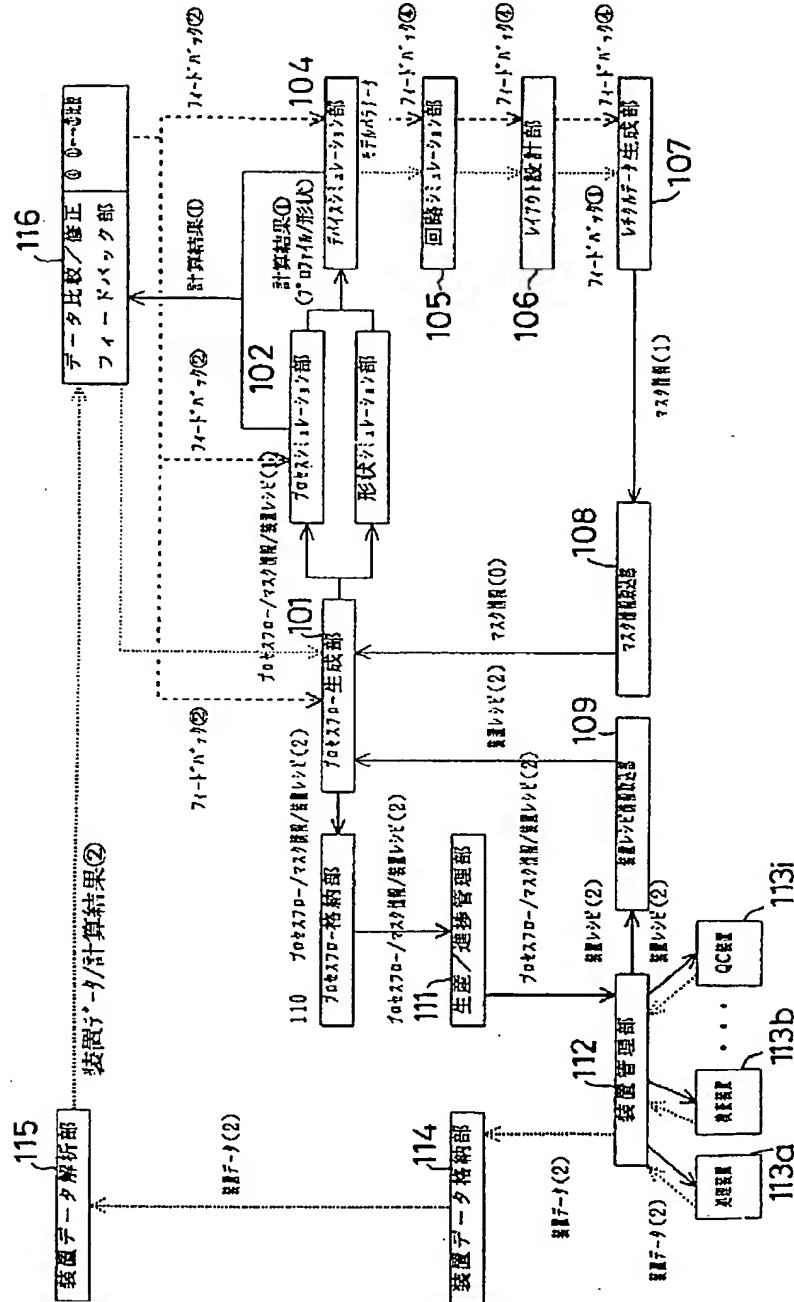
【図8】プロセスフロー情報の一例を示す。

【符号の説明】

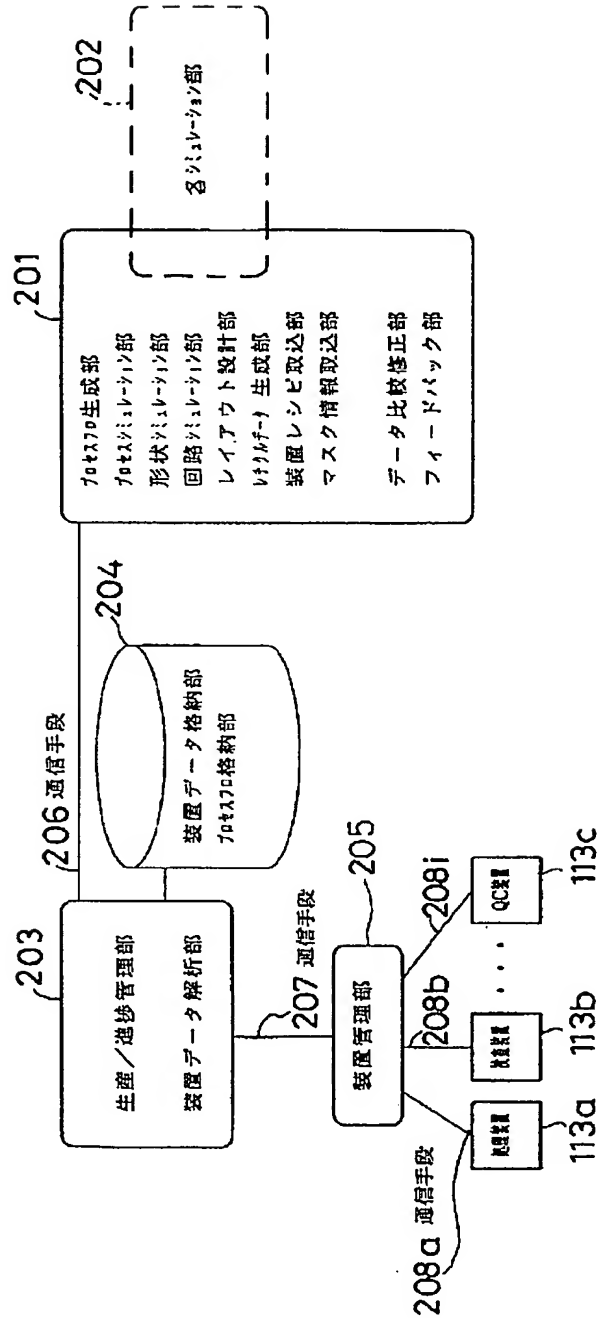
- 101 プロセスフロー生成部
- 102 プロセスシミュレーション部
- 103 形状シミュレーション部
- 104 デバイスシミュレーション部
- 105 回路シミュレーション部
- 106 レイアウトシミュレーション部
- 107 レチクルデータ生成部
- 108 マスク情報取込部
- 109 装置レシピ情報取込部
- 110 プロセスフロー格納部
- 111 生産/進捗管理部
- 112 装置管理部
- 113(a, b, ..., i, ...) 装置群
- 114 装置データ格納部
- 115 装置データ解析部
- 116 データ修正/比較・フィードバック部



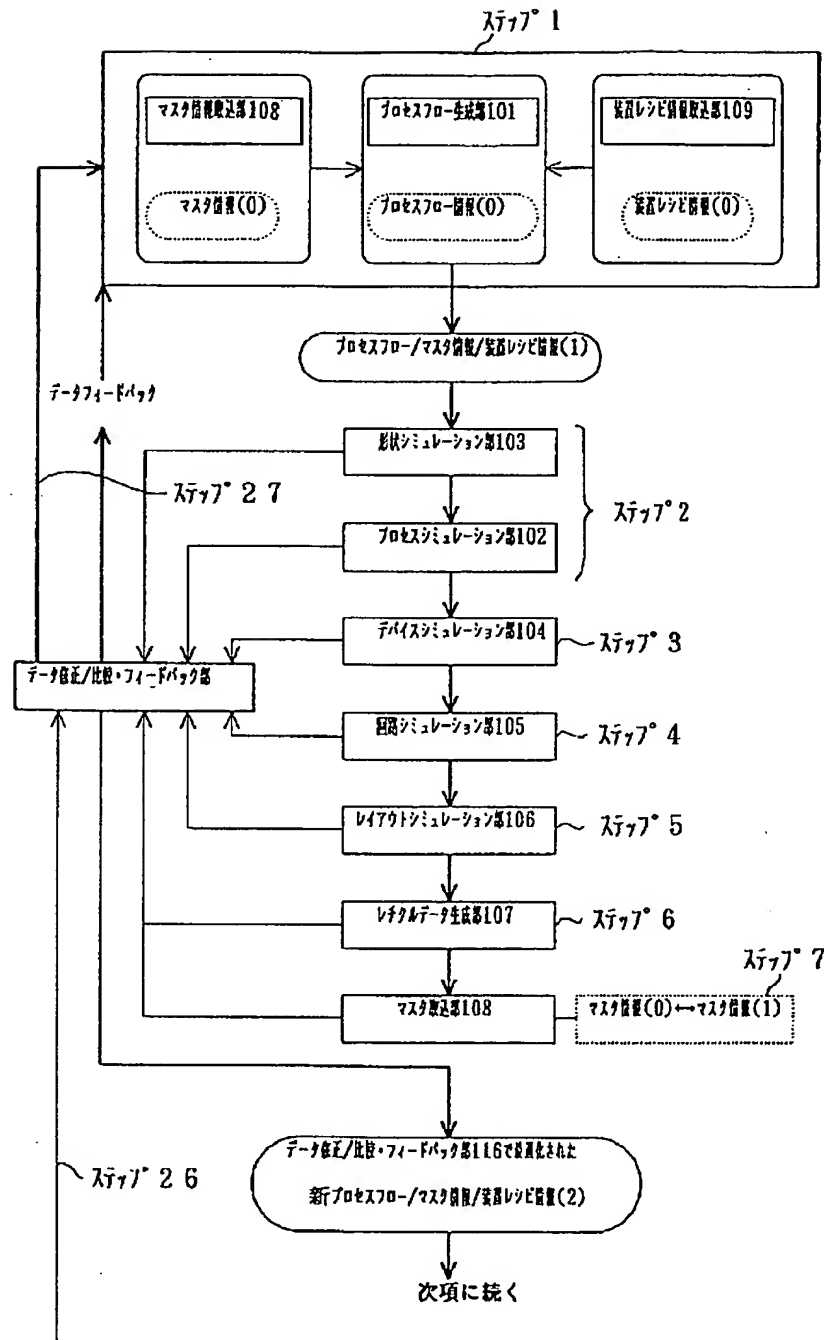
【図1】



【図2】



【図3】



```

graph TD
    S21[プロセッサ部110] --> S22[生成/読出し部111]
    S22 --> S23[新プロセッサ部/マス記憶/装置レジスタ記憶(2)]
    S23 --> S24[装置レジスタ(1)]
    S24 --> S25[装置記憶部112]
    S25 --> S26[装置レジスタ(2)]
    S26 --> S27[装置レジスタ情報転送部109]
    S27 --> S28[装置データ部114]
    S28 --> S29[装置データ読出し部115]
    S29 --> S26
  
```

ステップ 21: プロセッサ部110

ステップ 22: 生成/読出し部111

ステップ 23: 装置レジスタ(1)

ステップ 24: 装置記憶部112

ステップ 25: 装置レジスタ(2)

ステップ 26: 装置レジスタ情報転送部109

ステップ 27: 装置データ部114

ステップ 28: 装置データ読出し部115

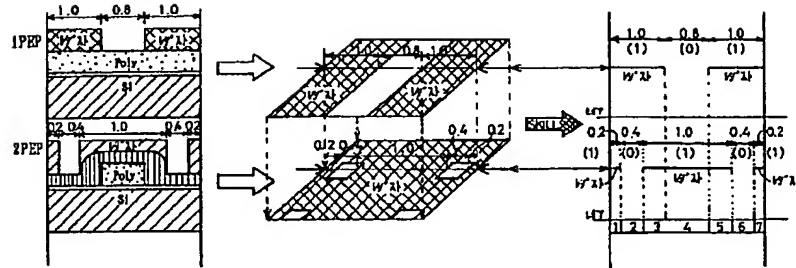
ステップ 29: 装置レジスタ(2)

```

1  1  2  3  4  5  6  7  8  9  10  11  12  13  14  15  16  17  18  19  20  21  22  23  24  25  26  27  28  29  30  31  32  33  34  35  36  37  38  39  40  41  42  43  44  45  46  47  48  49  50  51  52  53  54  55  56  57  58  59  60  61  62  63  64  65  66  67  68  69  70  71  72  73  74  75  76  77  78  79  80  81  82  83  84  85  86  87  88  89  90  91  92  93  94  95  96  97  98  99  100
2  WORK, TBA: WNAME= 71 , WAFAB=24, TYPE= CYS, ISO=ACQ, FILE=REQUEST, THUDAY
3
4  TBT, RHT: MODE=RC, TP=(CN, RD);
5  OMDF, CX: OBJECT=FIELD, GAS= 0 , TEXP=1898, THICK=11898(1188);
6  QC, FTR: ID=1, OBJECT=, FILD=ASTOZ, POINT=1, THICK=11898(1188), TP=(OF
7
8  .
9
10 .
11 .
12 .
13 .
14 .
15
16 OMDF, CX: OBJECT=BUFFER, COMMENT=3rd-CX, GAS= 0 , TEXP=359, THICK=1888(188)
17 QC, FTR: ID=1, OBJECT=, FILD=ASTOZ, THICK=1888(1888), POINT=1, TP=OFF.
18
19 WORK, OUT: :
20 [END]

```

【図6】



【図7】

## 装置レシピ情報

— 酸化工程の例 —

